# This Page Is Inserted by IFW Operations and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

### IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

L5 ANSWER 1 OF 1 JAPIO (C) 2003 JPO on STN

AN 1992-307974 JAPIO

TI ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

IN YOSHIMI MASANORI

PA SHARP CORP

PI JP 04307974 A 19921030 Heisei

AI JP 1991-73239 (JP03073239 Heisei) 19910405

PRAI JP 1991-73239 19910405

SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1992

AN 1992-307974 JAPIO

AB PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 5 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.

COPYRIGHT: (C) 1992, JPO&Japio

(19) 日本四特种庁 (JP) (12) 公開特許公報 (A)

(11)特許出顧公開番号

特開平4-307974

(43)公開日 平成4年(1992)10月30日

(51) Int.CL<sup>6</sup>

識別記号

庁内整理番号

FΙ

技術表示箇所

H01L 29/788

29/792 27/115

8225-4M

H01L 29/78

371

8831-4M

434

審査請求 未請求 請求項の数1(全 4 頁)

(21)出頭番号

特顯平3-73239

(71)出版人 000005049

27/10

シヤープ株式会社

大阪府大阪市阿倍野区县池町22番22号

(72)発明者 吉見 正徳

大阪市阿倍野区長池町22番22号 シャープ

株式会社内

(74)代理人 井理土 野河 佰太郎

(22)出顧日

平成3年(1991)4月5日

(54) 【発明の名称】 電気的消去可能不揮発性半等体記憶装置

#### (57)【要約】

【目的】 ソースオフセットに選択ゲートを構成したE EPROMにおけるF-Nトンネリングによる消去を円 滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラ インとで2つのEEPROMセルを構成し、各フローテ ィングゲートの一方何をホットエレクトロンによる書き 込み部位とし他方側をF-Nトンネリングによる一括消 去部位として機能分離する。

[0100]

公告書、Cなう悪水準機主張のくロイセンエイでホ、対 コ合品のこ、なるも本要なるヤコならがなまれートでロ て遺跡の合むくトレイにはつめずの子、 パち永速なとこる **支兵上支田福合強ペトリイングで北西金数銀化ーリコ的** は比較的高電圧を印加する必要が生じる。 従って、必然 ベトイド よいころであままけこ かるれる大きさろこる **支用呼ぶたくリオイイN-3の同イーややくトデーロア** ムントイド 、合体のこ、、大主 、たらなかきでなろこされ

。ふっるな合体不るです五法が分件の

. ቆልፓ 0 ቆ ቆ ቲ ようよし共闘を重勝るする諸師を去路さればやくじれて したEEPROMにおいても、ソース側からのF-Nト **気料タイーや発展ご溶イドサで木勝スーソコムニ ,0 &** 丁のき六パミホ下路状る心心、山伊野のこ [6000]

**多研去的健康スーソのCーブリ量がゴ土臭か働**4(木くイ 六rsを国国河路両スーVを各(d) 、3.公路本込き書る 第イーヤ国土丁したタイセサイヤスーV々各(g)、社 イーヤヤントモーロで各の核一品工 、大輪をイーヤベー はしくに、高来様化に強したEEPROMの表子構造に 20 及びこのフロティングゲー上に配置されるされるコンド イーヤヤントモーロての技一される最通引土対策イーヤ のこ 津路イーヤの校一るけち宝鬼ケ間のされこび返嫁 **遠くトイドの杖ーされち最通い勘両の子と謝剤スーソ社** パルコ伊奈のニアリ〉体【母手のみ式さす名祭会展集】

香の校一丁付嬢多イでかて木スーンゴケ爵立語を返さ書 なっころけ気をイッサマヤスーンゴケ層が衝去路、だせ コが商去南とか随を必ち書ご的遺跡タイーヤとくトデー ロマ 、〉かず炎熱を顕藍婦土 、制度袋のご【1100】 ち雪冠ゴでふぐ野アノ底共多土イセサイヤスーペンズが **耐冬込き香のイーヤやくトモーロての枚一頭土、水イー** 

特成でも利夫部と、を有してなり、上記コントロールや

。るるアのさぶじ輪多項手でいるるで放射さが耐ぐ込き

たけなおななる者な常円々各、もれるたけなるではない **マトリド各いなし作多イセサで大地人出のくロイセリエ** イで市では、全サポムこるマムイーと発展タイーヤベー ロインこの土イセナで木のこのお丁れち男事なイセサで たスーソ、お丁いなコ油を込き香煙躍くトイド 【用計】 [0015]

されなな行うし芸一体法院な常円、れたな行体として 、イイルー3のさな時スーソフリ代を強力強小キベイカホ ち銀国コ財再の謝房スーソ、& ホリホち 女子 イセサて木 スーソゴブいおゴ商去所ر庫スーソ、九一【8100】

のこプいと基づ時旗実を示引面図付添、不以【時旗実】 [0014] \*やなマママ

-ZSÞ

08 行习指円金去路のモーモ、>舗ご並がたくじキくイバー 毎の存在により、ソースとフロマティングゲート間のF イマサイヤ、おご合都のこ、らななしなし【8000】

・される大き **は、このオマセット部上に選択ゲートを記録することも** 選挙 1 ペナイトコ国の 3 1 一 4 4 く 7 キーロ く 3 く 7 ト 【0007】そのため、EEPROMを構成するソース

し、EEPROMの集積度が香しく低下する。

加部冷勝画序等のパナーバチトくらけ近アし立姓タイー **ヤ児氏 、らかなしなし 【恵舞さすらさよし名祭改印訳】** 

。さいてたけな行なしばしばしば行なわれている。 陳獻温土ブか合語ネイーや現画、ぬれのこ【3000】

.ራሌኊል

大るすかくをでーリケトデ体パナリチャナン主社去断険 品にしたりングにより得去する構造では、 しばしば過

【0004】 いかしながら、このようにソース個より下 。 るけたな行体去的るよごと

くいホンイバーヨのよ際スーン、パけな計込み必要者を **みにおいては、ドレイン個よりホットエレクトロンによ** そ有さない。 いわゆる初類のスタックゲートEEPRO 30 される。 (イーヤンセジセンサ) イーや発展アンチ [8000]

。さいプリ用内なみ

及立書入去許さよコやくじキぐイ(misdbaok-aslwoy) N-304点を含むコンロイクリエイでホ , J 許多 イーゲゼントデーロでる中たいまれずい、0台ブルと政 体配体性値(EEPROM)として組みの構造のものが 英半封発料不識而去時的及謝 、さん来坊 【游劫の来坊】

. 4世間 発体未常体記傳義區(EEPROM)に関する。 さらに 戦不譲に去断的及言、11時祭のこ【程公民時の土棄室】

[[000]

【伊瓜な職等の伊託】

【囲跡の永穂清砕】

盤国外等半社発戦不能向去所的設定されては古舞団コで よら悪丁し転共き土イベサトヤス一くひ刃が部れぶき書 トロートゲントモーロての校一出土、沈イーゲバーロイ くに国土、0カブノ育多、幼稚去皆るす魚精多能去所優 01 海スーソのCーブリ最かは上部が耐小キベイ かれち量品 コ暦両スーVヶ合(d) 、3.幼稚や込き書るで魚精多額 **そ込き書信期ベトレイの枚一丁し盟かコ土津第イーや店 エブンれきイセサマホスーソネ各(8) パイーヤやく** トマーロて各の杖一団土 ,大学タイーヤバーロインころ 14ち国国コエイーヤゼントモーロてのこびダイーヤゼン トで一口ての状ーられら園品コ土津第イーやのこ 、東南 イーやの技一されち宝畑で同のされこび五世間ベトイド の校一されち貴婦コ酵詞の子と津磨スーツ 【1 更象稿】

I

(2)

#### 発明を詳認する。

٠, ١,

【0015】図1は、この発明の一実施網のEEPRO Mを示す平面構成説明図であり、図2 (イ) は、図1の A-A・終断面説明図、図2(ロ)は同じくB-B・線 新面裂明図である。.

【0016】これらの菌に示すように、この発明のEE PROMは、シリコン基板表面のソースライン3とその 両側に配置される一対のドレインライン4、4との間の ゲート領域上に、絶縁膜を介してポリシリコンからなる 1対のL字状フローティングゲート2を配設してなり、 さらに、このフローティングゲート2上に層間絶縁障を 介して、共通するポリシリコンからなるコントロールゲ ート5を配設してなる。

【0017】上記フローティングゲート2は、図2 (イ) に示すように、A-A' 断歯においては、ソース オフセット9を保ってゲート領域のゲート酸化膜1、1 上に位置する一対の書き込み部位(狭幅部分)を有す る。ここでソースードレイン幅は1.6~2.0μm、ソ ースオフセットは 0.8~1.0 μmとするのが適してい る。かかる書き込み部位上のコントロールゲート5は、 各々のソースオフセット上で選択ゲートとしても機能す

【0018】一方、図2(ロ)に示すように、B-B' 断面においては、ソースライン3の両側に配置されたト ンネル酸化膜6上を被覆する消去部位(広幅部分)を有 してなる。なお、図中、7は、ロコス酸化酸からなる素 子分離領域である。

【0019】かかる構造のBEPROMにおいては、上 記一対の書き込み部位において、各々ドレイン側からフ ローティングゲートへのホットエレクトロンの往入によ 30 る書き込みが行なわれる。そして、消去部位において は、ソース側から両フローティングゲート2、2へ一括 してF-Nトンネリングによる消去が行なわれることと なる。そして、上記ホットエレクトロンの往入及びF-Nトンネリングがコントロールゲートを選択ゲートとし て制御されることとなる。

【0020】かかる図1のEEPROMは、例えば以下 のようにして作製することができる。まず、図3に示す ように、シリコン基板の所定の領域にロコス酸化法によ り、来子分離領域?を形成した後、メモリーセルのソー 40 ス構成ラインのイオン注入及び確素のイオン注入を行っ てDDD構造のソースラインを形成する。 表面を熱酸化 に付して全面に何えば200~300人程度のゲート酸 化膜 1 を形成し、フォトリソグラフィのパターニング及 びエッチングを行なうことにより、その一部にトンネル 酸化膜用窓を形成し、フォトレジストの除去後、熱度化 を行なうことにより、各々、一対のトンネル酸化膜6を 形成する。

【0021】次に、CVD法により全面にポリシリコン を堆積し、N型不純物拡散してフォトエッチングするこ 50 9 ソースオフセット

とにより、図5に示すように、各々狭幅領域と広幅領域 を有する一対のL字状フローティングゲート2を形成す

【0022】上記フローティングゲート2の形成後、図 6に示されるようにフォトレジスト8を用いたフォトリー ソグラフィにより、メモリーセルのドレイン構成ライン に砒素をイオン住入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込 み部位上に各々CVDによる層間絶縁膜(SIOs)を 10 被覆形成した後、ポリシリコンの堆積層へのN型不純物 拡散並びに堆積層のフォトリソグラフィによるパターニ ング及びエッチングを行なうことにより、四7に示すご とく、コントロールゲート5を形成してこの発明のEE PROMが得られる。

#### [0024]

[発明の効果] 以上の様に、この発明のEEPROMに よれば、ソース側のオフセット部を選択ゲートとする場 合においても、ソース何より円滑に消去操作できるの で、独立して消去用ゲートを設ける場合と比べメモリー セル専有面積が著しく減少され、さらなるEEPROM の高集積化を図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良 いドレイン接合及び、消去用の高電圧においてもリーク 竜流の少ない、ソース接合を別々に最適化できる。従っ て、ドレイン個よりホットエレクトロンにより書き込 み、ソース個よりF-Nトンネリングにより消去する電 気的消去可能不揮発性半導体配性装置の製造の観点から も、その設計がより容易となり、製造工程も容易となる 利点も得られる。

#### 【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成 政明図である。

【図2】(イ)は、図1のA-A'維新面説明図、 (ロ)は、B-B'線斯面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウ ト団である。

【図4】図3に続くレイアウト図である。

【図5】図4に続くレイアウト図である。

【図6】図5に続くレイアウト図である。

【図7】図6に続くレイアウト図である。

#### 【符号の説明】

- 1 ゲート酸化酸
- 2 フローティングゲート
- 3 ソースライン
- ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化額
- 7 索子分離領域
- 8 フォトレジスト

